

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114399

(43) Date of publication of application : 21.04.2000

(51)Int.Cl. H01L 21/8244
H01L 27/11
G11C 11/412

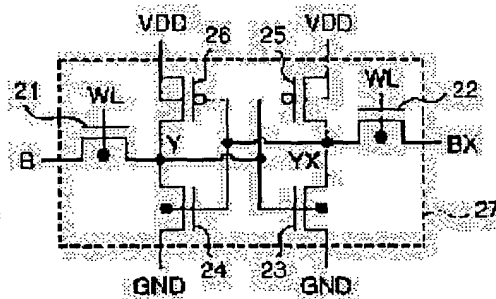
(21)Application number : 10-282335 (71)Applicant : SHARP CORP
(22)Date of filing : 05.10.1998 (72)Inventor : SATO YUICHI

(54) STATIC RANDOM ACCESS MEMORY AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a SRAM of small area which can be operated at a low voltage and with small power consumption.

SOLUTION: A SRAM(static random access memory) cell 27 is constituted of first to fourth NMOS transistors 21–24 and first and second PMOS transistors 25 and 26. The first to fourth NMOS transistors 21–24 comprise DTMOS, whose channel regions are connected to gates. In this way, V_{th} at on position is made lower than in off position, and operations under low voltage become possible and the electric power consumption during operation is made low. The V_{th} in the off position is equal to that of a normal NMOS transistor and the leak current in the off position becomes equal to a conventional SRAM cell. The electrical power consumption during standby is not increased. Furthermore, since the on resistance is small and the speed of writing/reading is high, the region can be reduced, if the conventional speed of writing/reading is about conventional level.



LEGAL STATUS

[Date of request for examination] 13.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開2000-114399

(P2000-114399A)

(43)公開日 平成12年4月21日(2000.4.21)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H O 1 L 21/8244

H O 1 L 27/10

381

5 B 0 1 5

27/11

G 1 1 C 11/40

301

5 F 0 8 3

G 1 1 C 11/412

審査請求 未請求 請求項の数9 O.L (全 11 頁)

(21)出願番号

特願平10-282335

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(22) 出願日

平成10年10月5日(1998.10.5)

(72)発明者 佐藤 雄一

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

Fターム(参考) 5B015 JJ02 JJ05 JJ21 JJ31 KA01

KA33 KB23 KB25 KB41 QQ02

5F083 BS01 BS13 BS27 BS29 BS37

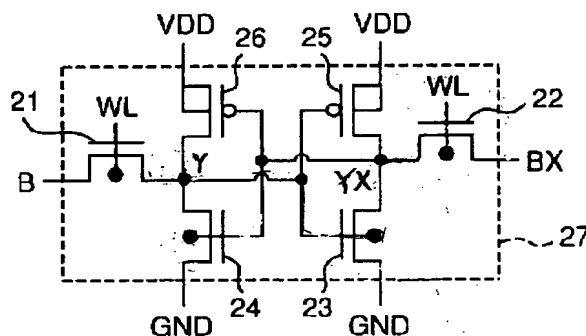
GA05 HA02 NA01 ZA12

(54)【発明の名称】 スタティック・ランダム・アクセスメモリおよび半導体装置

(57) 【要約】

【課題】 低電圧および低消費電力で動作可能な面積の小さいSRAMを提供する。

【解決手段】 SRAMセル27は、第1～第4NMO
Sトランジスタ21～24と第1、第2PMOSトラン
ジスタ25、26で構成されている。第1～第4NMO
Sトランジスタ21～24は、チャネル領域がゲートに
接続されたDTMOSで構成されている。こうして、オン時の V_{th} をオフ時よりも低くして低電圧動作を可能にし、動作時の消費電力を小さくする。一方、オフ時の V_{th} は通常のNMOSトランジスタと同時でありオフ時のリーク電流は従来のSRAMセルと同等となり、スタンバイ時の消費電力は増大しない。さらに、オン抵抗が小さく書き込み/読み出し速度が速いため、書き込み/読み出し速度が従来程度であれば面積を狭くできる。



【特許請求の範囲】

【請求項 1】 オン時にチャネルが形成される半導体領域とゲートとが電気的に接続された金属酸化膜半導体トランジスタを用いたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 2】 請求項 1 に記載のスタティック・ランダム・アクセスメモリであって、
オン時にチャネルが形成される半導体領域とゲートとが電気的に接続された N 型金属酸化膜半導体トランジスタと、オン時にチャネルが形成される半導体領域が電源に接続された P 型金属酸化膜半導体トランジスタを含むスタティック・ランダム・アクセスメモリ・セルを備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 3】 請求項 2 に記載のスタティック・ランダム・アクセスメモリにおいて、
上記スタティック・ランダム・アクセスメモリ・セルにおける上記 P 型金属酸化膜半導体トランジスタのゲート酸化膜厚は、上記 N 型金属酸化膜半導体トランジスタのゲート酸化膜厚よりも厚くなっていることを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 4】 請求項 2 に記載のスタティック・ランダム・アクセスメモリにおいて、
上記スタティック・ランダム・アクセスメモリ・セルにおける上記 P 型金属酸化膜半導体トランジスタのチャネルが形成される第 1 半導体領域は、上記 N 型金属酸化膜半導体トランジスタのチャネルが形成される第 2 半導体領域である P 型ウェルよりも深い N 型ウェルで形成されて、上記第 1、第 2 半導体領域は電気的に分離されていることを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 5】 請求項 1 に記載のスタティック・ランダム・アクセスメモリにおいて、
オン時にチャネルが形成される半導体領域とゲートとが電気的に接続された N 型金属酸化膜半導体トランジスタと、オン時にチャネルが形成される半導体領域とゲートとが電気的に接続された P 型金属酸化膜半導体トランジスタを含む書き込み回路を備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 6】 請求項 5 に記載のスタティック・ランダム・アクセスメモリにおいて、
上記書き込み回路は、ビット線および反転ビット線の電位を高レベルにする金属酸化膜半導体トランジスタを含み、
この金属酸化膜半導体トランジスタは、オン時にチャネルが形成される半導体領域とゲートとが電気的に接続された N 型金属酸化膜半導体トランジスタであることを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 7】 請求項 1 に記載のスタティック・ランダム・アクセスメモリにおいて、

オン時にチャネルが形成される半導体領域とゲートとが電気的に接続された金属酸化膜半導体トランジスタを含む読み出し回路を備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 8】 請求項 1 に記載のスタティック・ランダム・アクセスメモリであって、
オン時にチャネルが形成される半導体領域とゲートとが電気的に接続された N 型金属酸化膜半導体トランジスタおよび抵抗を含むスタティック・ランダム・アクセスメモリ・セルを備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項 9】 オン時にチャネルが形成される半導体領域が第 1 ウェルで形成されると共に、内部処理を行う第 1 金属酸化膜半導体トランジスタと、
オン時にチャネルが形成される半導体領域が上記第 1 ウェルよりも深い第 2 ウェルで形成されると共に、外部と直接信号の送受を行う第 2 金属酸化膜半導体トランジスタを備えたことを特徴とする半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、スタティック・ランダム・アクセス・メモリ (以下、SRAM と略称する) および半導体装置に関する。

【0002】

【従来の技術】 近年、微細加工技術等の進展によって、LSI (大規模集積回路) の高速化および高集積化が進んでいる。ところで、高速で動作する LSI を実用化するためには、LSI の低消費電力化は重要な技術の一つである。すなわち、LSI を高速で動作させると消費電力は大きなものになり、LSI を安定して動作させるためには、セラミック・パッケージの採用や放熱フィン等が必要になり、コストが高くなってしまうのである。また、近年の携帯機器においては小型軽量化が進んでおり、電池での使用を長くすることからも低消費電力化は重要である。

【0003】 従来、N 型 MOS (金属酸化膜半導体) トランジスタ 4 個と P 型 MOS トランジスタ 2 個とで構成した SRAM セルが一般によく使われている。図 9 に、上記従来の N 型 MOS (以下、NMOS と略称する) トランジスタ 4 個と P 型 MOS (以下、PMOS と略称する) トランジスタ 2 個とで構成した SRAM セルの回路図を示す。また、図 10 は、上記構成の SRAM セルを用いた SRAM 全体のレイアウトを示す。

【0004】 図 10 において、上記 SRAM 1 は、入出力インターフェイス部 2、上記 SRAM セルを敷き詰めたメモリ部 3、アドレスデコーダ部 4、データ書き込み読み出し制御部 5 で概略構成される。そして、上記メモリ部 3 を構成する SRAM セルは、図 9 に示すような構成を有している。すなわち、ビット線 B は第 1 NMOS トランジスタ 11 のソース (ドレイン) に接続され、ワー

ド線WLは第1 NMOSトランジスタ11および第2 NMOSトランジスタ12のゲートに接続され、反転ビット線BXは第2 NMOSトランジスタ12のソース(ドレイン)に接続されている。

【0005】上記第1 NMOSトランジスタ11におけるビット線Bが接続されていない方のドレイン(ソース)Yには、第3 NMOSトランジスタ13および第1 PMOSトランジスタ15のゲートが接続され、さらに、第4 NMOSトランジスタ14および第2 PMOSトランジスタ16のドレインにも接続されている。

【0006】上記第2 NMOSトランジスタ12における反転ビット線BXが接続されていない方のドレイン(ソース)YXには、第4 NMOSトランジスタ14および第2 PMOSトランジスタ16のゲートが接続され、さらに、第3 NMOSトランジスタ13および第1 PMOSトランジスタ15のドレインにも接続されている。

【0007】上記第3 NMOSトランジスタ13および第4 NMOSトランジスタ14のソースはGNDに接続されており、第1 PMOSトランジスタ15および第2 PMOSトランジスタ16のソースはVDDに接続されている。

【0008】上記構成において、上記第1 NMOSトランジスタ11～第4 NMOSトランジスタ14の各MOSトランジスタがオンした場合にチャネルが形成される半導体領域は、GNDに接続されている。一方、第1 PMOSトランジスタ15および第2 PMOSトランジスタ16の各MOSトランジスタがオンした場合にチャネルが形成される半導体領域は、VDDに接続されている。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来のSRAMには以下のような問題がある。すなわち、SRAMを低消費電力にするためには、動作電圧(VDD)を下げることによって大きな効果が得られる。ところが、VDDを下げるとMOSトランジスタの駆動電流が小さくなり、回路の遅延時間が大きくなって動作速度が低下してしまうのである。そこで、低電圧でもMOSトランジスタの駆動電流があまり小さくならないようにMOSトランジスタのスレッシュホールド電圧(V_{th})を低くすることが考えられる。ところが、 V_{th} を低くするとMOSトランジスタのリーク電流が増大して、スタンバイモードにしてもリーク電流があるために消費電力が大きくなるという問題がある。

【0010】そこで、この発明の目的は、低電圧で動作可能な低消費電力で面積の小さいSRAMおよび半導体装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、請求項1に係る発明のSRAMは、オン時にチャネルが形成される半導体領域とゲートとが電気的に接続さ

れたMOSトランジスタを用いたことを特徴としている。

【0012】上記構成によれば、SRAMに用いられているMOSトランジスタは、オン時にチャネルが形成される半導体領域とゲートとが電気的に接続されたトランジスタ(以下、このようなMOSトランジスタをDTMOSと言う)である。そのために、上記DTMOSで構成されたMOSトランジスタ毎に、オン時にはスレッシュホールド電圧 $|V_{th}|$ が下がる一方、オフ時には $|V_{th}|$ が高くなるように制御される。したがって、0.5Vでの低電圧動作が可能となり、オフ時のリーク電流の増大を防ぎ、本SRAMにおける消費電力の低下が図られる。さらに、上記オン時の $|V_{th}|$ が低いのでオン抵抗が低くなり、書き込み/読み出し速度が速くなる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、オン抵抗が低くなる分だけ上記DTMOSのゲート幅を狭くして、本SRAMの小面積化が図られる。

【0013】また、請求項2に係る発明は、請求項1に係る発明のSRAMであって、オン時にチャネルが形成される半導体領域とゲートとが電気的に接続されたNMOSトランジスタと、オン時にチャネルが形成される半導体領域が電源に接続されたPMOSトランジスタを含むSRAMセルを備えたことを特徴としている。

【0014】上記構成によれば、SRAMセルを構成するNMOSトランジスタがDTMOSで構成されている。そのため、上記SRAMセルの低電圧動作、低消費電力、高速書き込み/読み出しが可能になる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルの小面積化が図られる。

【0015】また、請求項3に係る発明は、請求項2に係る発明のSRAMにおいて、上記SRAMセルにおけるPMOSトランジスタのゲート酸化膜厚は、上記NMOSトランジスタのゲート酸化膜厚よりも厚くなっていることを特徴としている。

【0016】上記構成によれば、上記SRAMセルにおけるPMOSトランジスタのオン抵抗が大きくなるため電流が低くなり、NMOSトランジスタをより小さいトランジスタに構成できる。したがって、上記SRAMセルは、さらに、小面積化、小リーク電流化、低消費電力化が図られる。

【0017】また、請求項4に係る発明は、請求項2に係る発明のSRAMにおいて、上記SRAMセルにおける上記PMOSトランジスタのチャネルが形成される第1半導体領域は、上記NMOSトランジスタのチャネルが形成される第2半導体領域であるP型ウェルよりも深いN型ウェルで形成されて、上記第1、第2半導体領域は電気的に分離されていることを特徴としている。

【0018】上記構成によれば、上記SRAMセルにおける上記PMOSトランジスタは、当該PMOSトランジスタのチャネル領域を構成すると共に、上記NMOS

トランジスタのチャネル領域と電氣的に分離する深いN型ウェルの上みに形成されている。そのために、上記PMOSTランジスタを個々に分離するための浅いウェルの必要が無く、その分だけ上記SRAMセルの面積が小さくなる。

【0019】また、請求項5に係る発明は、請求項1に係る発明のSRAMにおいて、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたNMOSTランジスタと、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたPMOSTランジスタを含む書き込み回路を備えたことを特徴としている。

【0020】上記構成によれば、書き込み回路を構成するNMOSTランジスタおよびPMOSTランジスタは、オン抵抗が低くオフ時のリーク電流が抑えられるDTMOSで構成されている。そのために、上記書き込み回路の低電圧動作、低消費電力化、書き込み速度の高速化、小面積化が図られる。

【0021】また、請求項6に係る発明は、請求項5に係る発明のSRAMにおいて、上記書き込み回路は、ビット線および反転ビット線の電位を高レベルにするMOSトランジスタを含み、このMOSトランジスタは、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたNMOSTランジスタであることを特徴としている。

【0022】上記構成によれば、上記SRAMセルに対する書き込み時にビット線および反ビット線の電位を高レベルにするMOSトランジスタは、上記DTMOSで構成されている。その結果、上記ビット線および反ビット線の高レベル時の電位が低くなり、更なる低消費電力化が図られる。

【0023】また、請求項7に係る発明は、請求項1に係る発明のSRAMにおいて、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたMOSトランジスタを含む読み出し回路を備えたことを特徴としている。

【0024】上記構成によれば、読み出し回路を構成するMOSトランジスタは、オン抵抗が低くオフ時のリーク電流が抑えられるDTMOSで構成されている。そのために、上記読み出し回路の低電圧動作、低消費電力化、読み出し速度の高速化、小面積化が図られる。特に、上記DTMOSで、読み出し時に上記ビット線および反ビット線をプリチャージすることによって、短時間に上記プリチャージが行われる。

【0025】また、請求項8に係る発明は、請求項1に係る発明のSRAMであって、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたNMOSTランジスタおよび抵抗を含むSRAMセルを備えたことを特徴としている。

【0026】上記構成によれば、請求項2に係る発明の

場合と同様に、本SRAMセルの低電圧動作、低消費電力、高速書き込み/読み出しが可能になる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルの小面積化が図られる。

【0027】また、請求項9に係る発明の半導体装置は、オン時にチャネルが形成される半導体領域が第1ウェルで形成されると共に、内部処理を行う第1MOSトランジスタと、オン時にチャネルが形成される半導体領域が上記第1ウェルよりも深い第2ウェルで形成されると共に、外部と直接信号の送受を行う第2MOSトランジスタを備えたことを特徴としている。

【0028】上記構成によれば、外部と直接信号の送受を行う第2MOSトランジスタにおけるチャネルの形成領域が、内部処理を行う第1MOSトランジスタにおけるチャネルが形成される第1ウェルよりも深い第2ウェルに形成されている。そのために、静電耐圧に優れた信頼性の高い半導体装置が得られる。

【0029】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。図1は、本実施の形態のSRAMを構成するSRAMセルの一例を表す回路図である。本実施の形態におけるSRAMセル27も2個のPMOSTランジスタと4個のNMOSTランジスタとで構成されている。

【0030】ビット線Bは第1NMOSTランジスタ21のソース(ドレイン)に接続され、ワード線WLは第1NMOSTランジスタ21および第2NMOSTランジスタ22のゲートに接続され、反転ビット線BXは第2NMOSTランジスタ22のソース(ドレイン)に接続されている。

【0031】上記第1NMOSTランジスタ21におけるビット線Bが接続されていない方のドレイン(ソース)Yには、第3NMOSTランジスタ23および第1PMOSTランジスタ25のゲートが接続され、さらに、第4NMOSTランジスタ24および第2PMOSTランジスタ26のドレインにも接続されている。

【0032】上記第2NMOSTランジスタ22における反転ビット線BXが接続されていない方のドレイン(ソース)YXには、第4NMOSTランジスタ24および第2PMOSTランジスタ26のゲートが接続され、さらに、第3NMOSTランジスタ23および第1PMOSTランジスタ25のドレインにも接続されている。

【0033】上記第4NMOSTランジスタ24および第3NMOSTランジスタ23のソースにはGNDが接続されており、第1PMOSTランジスタ25および第2PMOSTランジスタ26のソースにはVDDが接続されている。

【0034】そして、本実施の形態においては、上記第1NMOSTランジスタ21～第4NMOSTランジスタ24を上記DTMOSで構成している。一方、第1P

MOSトランジスタ25および第2PMOSTランジスタ26の各MOSトランジスタがオンした場合にチャネルが形成される半導体領域を、図9に示す従来のSRAMセルと同様にVDDに接続している。

【0035】図2は、上記構成を有するSRAMセル27を記憶素子とするSRAMにおけるSRAMセルアレイ28と書き込み回路および読み出し回路との接続関係を示す回路図である。ここで、書き込み回路29,31および読み出し回路37を構成しているMOSトランジスタは、総てDTMOSである。以下、図1および図2に示す回路を、VDD=0.5Vで動作させる場合について説明する。

【0036】先ず、上記SRAMセル27において、上記第1,第2NMOSTランジスタ21,22はオフしており、第2PMOSTランジスタ26がオンする一方第4NMOSTランジスタ24がオフしてノードYがVDDレベルになり、第1PMOSTランジスタ25がオフ

$$VY = 0.5 \times (RN1 + RNW1) / (RP2 + RN1 + RNW1) \quad \cdots (1)$$

で表される。そして、式(1)で表されるノードYの電位VYが第3NMOSTランジスタ23と第1PMOSTランジスタ25とで構成されるインバータを反転可能な低い電位になるように、第2PMOSTランジスタ26のオン抵抗(RP2)を大きく設定する一方、第1NMOSTランジスタ21のオン抵抗(RN1)とNMOSTランジスタ30のオン抵抗(RNW1)とを小さく設定してある。その結果、データ“0”書き込み時には、第3NMOSTランジスタ23と第1PMOSTランジスタ25とで構成されるインバータが反転して、ノードYXの電位はVDDレベルになる。

【0038】そうすると、上記第2PMOSTランジスタ26と第4NMOSTランジスタ24とで構成されるインバータも反転し、第2PMOSTランジスタ26がオフする一方、第4NMOSTランジスタ24がオンするために、ノードYの電位はGNDレベルになる。つまり、選択SRAMセル27にはデータ“0”が書き込ま

$$VYX = 0.5 \times (RN2 + RNW2) / (RP1 + RN2 + RNW2) \quad \cdots (2)$$

で表される。そして、上記式(2)で表されるノードYXの電位VYXが第4NMOSTランジスタ24と第2PMOSTランジスタ26とで構成されるインバータを反転可能な低い電位になるように、第1PMOSTランジスタ25のオン抵抗(RP1)を大きく設定する。一方、第2NMOSTランジスタ22のオン抵抗(RN2)とNMOSTランジスタ32のオン抵抗(RNW2)は小さく設定してある。その結果、データ“1”書き込み時には、第4NMOSTランジスタ24と第2PMOSTランジスタ26とで構成されるインバータが反転して、ノードYの電位はVDDレベルになる。

【0040】そうすると、上記第1PMOSTランジスタ25と第3NMOSTランジスタ23とで構成されるインバータも反転し、第1PMOSTランジスタ25が

する一方第3NMOSTランジスタ23がオンしてノードYXがGNDレベルになった状態、つまりデータ

“1”を記憶している状態に対して、データ“0”を書き込む場合について述べる。

【0037】上記書き込み回路29,31によって、ビット線BはGND(0)レベルに、反転ビット線BXはVDDレベルに設定される。また、選択されたSRAMセル27のワード線WLはVDDレベルになって、当該SRAMセル27の第1,第2NMOSTランジスタ21,22は共にオンする。したがって、ノードYの電位は、VDDとGNDとの電位差(0.5V)を、第2PMOSTランジスタ26のオン抵抗(RP2)と、第1NMOSTランジスタ21のオン抵抗(RN1)と、ビット線BをGNDレベルにしている書き込み回路29のNMOSTランジスタ30のオン抵抗(RNW1)とで分割した電位になる。したがって、ノードYの電位(VY)は、式(1)

れたことになる。その後、ワード線WLをGNDレベルにし、第1,第2NMOSTランジスタ21,22をオフすることによって、データ“0”が記憶される。

【0039】次に、データ“0”を記憶しているSRAMセル27に、データ“1”を書き込む場合について述べる。書き込み回路29,31によって、ビット線BはVDDレベルに、反転ビット線BXはGNDレベルに設定される。また、選択されたSRAMセル27のワード線WLはVDDレベルになって、当該SRAMセル27の第1,第2NMOSTランジスタ21,22は共にオンする。したがって、ノードYXの電位は、VDDとGNDとの電位差(0.5V)を、第1PMOSTランジスタ25のオン抵抗(RP1)と、第2NMOSTランジスタ22のオン抵抗(RN2)と、反転ビット線BXをGNDレベルにしている書き込み回路31のNMOSTランジスタ32のオン抵抗(RNW2)とで分割した電位になる。したがって、ノードYXの電位(VYX)は、式(2)

オフする一方、第3NMOSTランジスタ23がオンするために、ノードYXの電位はGNDレベルになる。つまり、選択SRAMセル27にはデータ“1”が書き込まれたことになる。その後、ワード線WLをGNDレベルにし、第1,第2NMOSTランジスタ21,22をオフすることによって、データ“1”が記憶される。

【0041】本実施の形態におけるSRAMセル27を構成する第1NMOSTランジスタ21～第4NMOSTランジスタ24は、上述のごとくDTMOSである。さらに、書き込み回路29,31を構成するNMOSTランジスタ30,32及びPMOSTランジスタ33,34もDTMOSである。ここで、上記DTMOSは、上述したように、オン時にチャネルが形成される半導体領域がゲートに接続されている。したがって、オン時にお

ける $|V_{th}|$ が、図9に示す従来のSRAMセルにおける第1NMOSトランジスタ11～第4NMOSトランジスタ14のごとくチャネルがGNDである場合や通常のPMOSトランジスタのごとくチャネルがVDDである場合よりも低くなり、オン抵抗が低くなる。一方、オフ時における $|V_{th}|$ は、図9に示す従来のSRAMセルにおける第1NMOSトランジスタ11～第4NMOSトランジスタ14や通常のPMOSトランジスタと同程度に高くなる。

【0042】したがって、上記DTMOSで構成された各MOSトランジスタ21～24, 30, 32～34は、オン抵抗が小さく、オフ時のリーク電流が少ない。その結果、小面積で、低消費電力なSRAMセル27を実現できる。また、書き込み速度が速く、小面積で、低消費電力な書き込み回路29, 31を実現できるのである。

【0043】一方、上記SRAMセル27に記憶されたデータを読み出す場合には、書き込み回路29のNMOSトランジスタ30およびPMOSトランジスタ33と、書き込み回路31のNMOSトランジスタ32およびPMOSトランジスタ34とをオフし、アドレス信号が切り変わった直後にある期間だけ、ビット線Bと電源電圧VDDとの間に介設されて読み出し回路37を構成するNMOSトランジスタ35と、反転ビット線BXと電源電圧VDDとの間に介設されて読み出し回路37を

$$VY = (VDD - V_{thn3}) \times RN4 / (RN1 + RN4) \quad \cdots (3)$$

で表される電位になる。ここで、式(3)で表されるノードYの電位VYが第1PMOSトランジスタ25と第3NMOSトランジスタ23とで構成されたインバータの反転電圧を越えないように、第4NMOSトランジスタ24と第1NMOSトランジスタ21とのオン抵抗RN4およびRN1が設定されている。したがって、ビット線Bのチャージ電荷はオン状態の第1NMOSトランジスタ21と第4NMOSトランジスタ24とを通過してディスチャージされ、ビット線BはGNDレベルになる。

【0046】一方、上記反転ビット線BXの電位は、ノードYXの電位がVDDであるため $(VDD - V_{thn3})$

$$VYX = (VDD - V_{thn3}) \times RN3 / (RN2 + RN3) \quad \cdots (4)$$

で表される電位になる。ここで、式(4)で表されるノードYXの電位VYXが第2PMOSトランジスタ26と第4NMOSトランジスタ24で構成されたインバータの反転電圧を越えないように、第3NMOSトランジスタ23と第2NMOSトランジスタ22とのオン抵抗RN3およびRN2が設定されている。したがって、SRAMセル27に記憶されているデータは破壊されない。そして、反転ビット線BXの電位はGNDレベルであるため、インバータ38で反転され、出力Qによってデータ“1”が読み出されるのである。

【0048】ここで、上記読み出し回路37を構成するNMOSトランジスタ35およびNMOSトランジスタ36はDTMOSで構成されている。したがって、オン

構成するNMOSトランジスタ36とをオンして、ビット線Bと反転ビット線BXとを $(VDD - V_{thn3})$ レベルまで引き上げる。そして、ビット線Bおよび反転ビット線BXが $(VDD - V_{thn3})$ レベルになるのに十分な期間が経過した後に、NMOSトランジスタ35, 36はオフされる。ここで、上記 V_{thn3} は、NMOSトランジスタ35およびNMOSトランジスタ36のオン時における V_{th} である。

【0044】こうして、上記NMOSトランジスタ35, 36がオフすると、選択されたワード線WLがVDDになって、選択SRAMセル27の第1NMOSトランジスタ21および第2NMOSトランジスタ22がオンし、ノードYの電位がビット線Bに導出される一方、ノードYXの電位が反転ビット線BXに導出される。

【0045】ここで、上記SRAMセル27にデータ“0”が記憶されている場合は、第1, 第2NMOSトランジスタ21, 22がオンする前におけるノードYのレベルはGNDである。ところが、第1, 第2NMOSトランジスタ21, 22がオンすると、ビット線Bは上述のごとく電位 $(VDD - V_{thn3})$ にプリチャージされているために、ノードYの電位VYは、第4NMOSトランジスタ24のオン抵抗をRN4とすると、一時的に式(3)

のまま変わらない。したがって、読み出し回路39のインバータ38を介して出力Qのレベルは“L”になり、データ“0”が読み出されるのである。その後、ワード線WLがGNDレベルになって第1, 第2NMOSトランジスタ21, 22はオフし、SRAMセル27に記憶されているデータは破壊されることなく保持される。

【0047】また、上記SRAMセル27にデータ“1”が記憶されている場合も同様に、第2NMOSトランジスタ22がオンした場合に、ノードYXの電位VYXは、第3NMOSトランジスタ23のオン抵抗をRN3とすると、一時的に式(4)

抵抗は小さく、オフ時にはリーク電流が少ない特性を有している。したがって、ビット線Bおよび反転ビット線BXをプリチャージする際のプリチャージ時間を短くでき、小面積で、リーク電流も少なくできるのである。尚、読み出し回路37をDTMOSで成るPMOSトランジスタで構成しても同じ効果が得られる。また、読み出し回路39を構成するインバータ38を上記DTMOSで形成すれば、読み出し回路の更なる低消費電力化および読み出しの高速化を図ることができる。

【0049】通常、上記SRAMセルでは、データ記憶時の消費電力を小さくするために各トランジスタのオフ時のリーク電流を小さく抑える必要があり、各MOSトランジスタの $|V_{th}|$ はあまり小さくできない。したが

って、図9に示す従来のSRAMセルにおいては、第1,第2NMOSトランジスタ11,12のオン抵抗(R_{N11}, R_{N12})と書き込み回路の2個のNMOSトランジスタ(図2におけるNMOSトランジスタ30,32に相当)のオン抵抗を小さくするためには、上記SRAMセルおよび書き込み回路における4個のNMOSトランジスタのゲート幅を広くする必要があり、各NMOSトランジスタの面積(つまりは、SRAMセルの面積)が大きくなってしまう。

【0050】また、上記4個のNMOSトランジスタのゲート幅を広くしない場合は、SRAMセルにおける第1,第2PMOSトランジスタ15,16のオン抵抗を大きくする必要があり、そのためには両PMOSトランジスタ15,16のゲート長を長くする必要がある。したがって、この場合にもSRAMセルの面積が大きくなってしまう。また、第1,第2PMOSトランジスタ15,16のゲート長を長くした場合には、当該SRAMセルにデータを書き込み/読み出す際における第1,第2NMOSトランジスタ11,12のオン抵抗が大きいために、書き込み/読み出し時間が長くなるという問題もある。

【0051】これに対して、本実施の形態においては、上記SRAMセル27における第1NMOSトランジスタ21~第4NMOSトランジスタ24は、上述したようにDTMOSで構成されている。したがって、上記4個のNMOSトランジスタ21~24におけるオフ時のチャネル領域電圧はGNDレベルであり、図9に示す従来のSRAMセルにおける第1NMOSトランジスタ11~第4NMOSトランジスタ14と同じ特性を示す。これに対して、オン時のチャネル領域電圧はVDDである。したがって、各NMOSトランジスタ21~24におけるオン時の $|V_{th}|$ は、オフ時の $|V_{th}|$ (すなわち、従来のSRAMセルにおける各NMOSトランジスタ11~14の $|V_{th}|$)より小さくなる。すなわち、従来のSRAMセルにおいては困難であった0.5Vという低い電圧での動作が可能となり、動作時の消費電力を小さくできるのである。さらに、上記オン抵抗はゲート電圧から $|V_{th}|$ を差し引いた($V_{GS} - |V_{th}|$)に逆比例することから、本実施の形態のSRAMセル27における各NMOSトランジスタ21~24のオン抵抗は、従来のSRAMセルにおける各NMOSトランジスタ11~14のオン抵抗よりも小さくなる。したがって、従来のSRAMセルの場合よりも書き込み/読み出し速度を速くできるのである。また、従来のSRAMセルと同じ書き込み/読み出し速度でよいのであれば、従来のSRAMセルよりも面積を小さくできる。しかも、上記各NMOSトランジスタ21~24におけるオフ時のリーク電流は、従来のSRAMセルの各NMOSトランジスタ11~14におけるオフ時のリーク電流と同じであるため、スタンバイ時の消費電力増大の問題はない

のである。

【0052】また、上記SRAMセル27における第1,第2PMOSトランジスタ25,26のゲート酸化膜厚を、第1~第4NMOSトランジスタ21~24のゲート酸化膜厚よりも厚くすることによって、第1,第2PMOSトランジスタ25,26のオン抵抗を大きくして電流値を低くでき、第1NMOSトランジスタ21~第4NMOSトランジスタ24をより小さいトランジスタで構成できる。したがって、その場合においては、さらに、小面積で、リーク電流も少なく、低消費電力のSRAMセルを提供できるのである。

【0053】図3は、図1に示すSRAMセル27の部分断面図であり、ディープウェルとシャローウェルの二重ウェル構造になっている。第1,第3NMOSトランジスタ21,23が形成されているシャローPウェル41,42は、各MOSトランジスタ21,23毎にトレンチ43とディープNウェル44とで電気的に分離されている。そして、第1NMOSトランジスタ21のゲートとシャローPウェル41とは接続され、第3NMOSトランジスタ23のゲートとシャローPウェル42とは接続されて、夫々DTMOSを形成している。さらに、ディープNウェル44はVDDに接続されている。

【0054】また、上記第1PMOSトランジスタ25が形成されているシャローNウェル45はVDDに接続される一方、ディープPウェル46はGNDに接続されている。尚、第1PMOSトランジスタ25(第2PMOSトランジスタ26)を上記DTMOSで構成してもよいが、小面積でオン抵抗を大きくするためにはシャローNウェル45をVDDに接続した方がよい。

【0055】図4は、図3におけるSRAMセル27の構造を改良したものである。第1,第3NMOSトランジスタ21,23が形成されているシャローPウェル51,52は、各MOSトランジスタ21,23毎にトレンチ53とディープNウェル54とで電気的に分離されている。そして、第1NMOSトランジスタ21のゲートとシャローPウェル51とは接続され、第3NMOSトランジスタ23のゲートとシャローPウェル52とは接続されて、夫々DTMOSを形成している。さらに、ディープNウェル54はVDDに接続されている。

【0056】ここで、図3において、図3では表れていないが、上記第1,第2PMOSトランジスタ25,26が形成されているシャローNウェルは、各PMOSトランジスタ毎にトレンチ47とディープPウェル46とで電気的に分離されている。しかしながら、SRAMセル27における第1,第2PMOSトランジスタ25,26のチャネルが形成される半導体領域はVDDで共通であるため各PMOSトランジスタ25,26毎にシャローNウェル45を分離する必要はない。

【0057】そこで、図4においては、上記シャローPウェル51,52を分離するためのディープNウェル領

域 54 (VDD の電圧が与えられている) に第 1 PMOS トランジスタ 25 と第 2 PMOS トランジスタ 26 とを形成するのである。こうすることによって、SRAM セル 27 の領域においては、シャロー N ウェルおよびディープ P ウェルを形成する必要がなく、図 3 に示す構造よりも SRAM セル 27 の面積を小さくできるのである。

【0058】尚、図 3 および図 4 は、上記 SRAM セル 27 をシリコン単結晶基板上に形成した場合の例であるが、図 1 に示す SRAM セル 27 および図 2 に示す SRAM は、シリコン単結晶基板上に限らず SOI (シリコン・オン絶縁体) 基板上にも形成可能である。また、図 3 および図 4 においては、第 1 NMOS トランジスタ 21 と第 3 NMOS トランジスタ 23 および第 1 PMOS トランジスタ 25 との関係について述べているが、他の NMOS トランジスタ 22, 24 および第 2 PMOS トランジスタ 26 との関係についても同様である。

【0059】図 5 は、図 1 に示す SRAM セル 27 における第 1, 第 2 PMOS トランジスタ 25, 26 の夫々を、第 1 抵抗 65 および第 2 抵抗 66 に置き換えた SRAM セル 67 である。尚、第 1 NMOS トランジスタ 61 ~ 第 4 NMOS トランジスタ 64 は、夫々図 1 に示す SRAM セル 27 における第 1 NMOS トランジスタ 21 ~ 第 4 NMOS トランジスタ 24 に相当する。ここで、上記第 1, 第 2 抵抗 65, 66 は、高抵抗ポリシリコンや薄膜トランジスタ (TFT) 等で形成する。

【0060】上記構成の SRAM セル 67 において、データ “1” が書き込まれている状態 (ノード Y → VDD, ノード YX → GND) にデータ “0” を書き込む場合には、第 2 抵抗 66 の抵抗値を R_{P2} として、式 (1) で表されるノード Y の電圧 V_Y が第 1 抵抗 65 と第 3 NMOS トランジスタ 63 とで構成されるインバータを反転できる電圧になるようにする。また、データ “0” が書き込まれている状態 (ノード Y → GND, ノード YX → VDD) にデータ “1” を書き込む場合には、第 1 抵抗 65 の抵抗値を R_{P1} として、式 (2) で表されるノード YX の電圧 V_{YX} が第 2 抵抗 66 と第 4 NMOS トランジスタ 64 とで構成されるインバータを反転できる電圧になるようにする。こうすることによって、図 5 に示す SRAM セル 67 は、図 1 に示す SRAM セル 27 と同様に動作してデータの書き込みを行うのである。

【0061】図 6 は、上記構成を有する SRAM セル 67 を記憶素子とする SRAM における SRAM セルアレイ 68 と書き込み回路 69, 70 との接続関係を示す回路図である。書き込み回路 69 は、図 2 に示す書き込み回路 29 の PMOS トランジスタ 33 を、DTMOS 構造の NMOS トランジスタ 73 に置き換えた構成を有する。一方、書き込み回路 70 は、図 2 に示す書き込み回路 31 の PMOS トランジスタ 34 を、DTMOS 構造の NMOS トランジスタ 74 に置き換えた構成を有する。尚、書き込み回路 69 の NMOS トランジスタ 71

は、図 2 に示す書き込み回路 29 の NMOS トランジスタ 30 に相当する。また、書き込み回路 70 の NMOS トランジスタ 72 は、図 2 に示す書き込み回路 31 の NMOS トランジスタ 32 に相当する。そして、NMOS トランジスタ 73, 74 のゲートには、NMOS トランジスタ 71, 72 のゲートへの入力信号 WB, WBX の反転信号 WBX, WB が入力される。

【0062】上記構成によれば、図 2 に示す書き込み回路 69, 70 よりも回路が簡単になる。然も、ビット線 B および反転ビット線 BX の書き込み時における電位は ($V_{DD} - V_{thn}$) レベルになるので、図 2 に示す書き込み回路 69, 70 の場合 (VDD) に比べて低消費電力となる。

【0063】図 7 は、本実施の形態における SRAM セルを内蔵した半導体装置のレイアウトを示す。半導体装置 81 は、外部とのインターフェイス部 82、論理回路部 83、SRAM 部 84 で概略構成される。ここで、論理回路部 83 および SRAM 部 84 は 0.5 V で動作する領域である。また、インターフェイス部 82 は、0.5 V より高い電圧 (例えば、3 V) で動作する領域と、0.5 V で動作する領域との両方を備えている。つまり、外部から入力された 3 V 振幅の入力信号を 0.5 V 振幅の信号に変換して内部に供給する回路と、0.5 V 振幅の内部信号を 3 V 振幅の信号に変換して外部に出力する回路とで構成されている。

【0064】図 8 は、上記インターフェイス部 82 の一部分の断面図であり、ディープウェルとシャローウェルとの二重構造になっている。0.5 V で動作する NMOS トランジスタ 91 および PMOS トランジスタ 92 は、シャロー P ウェル 93 およびシャロー N ウェル 94 に形成され、トレンチ 95 とディープ N ウェル 96 およびディープ P ウェル 97 とで電気的に分離されている。これに対して、3 V で動作する NMOS トランジスタ 101 および PMOS トランジスタ 102 は、ディープ P ウェル 103 およびディープ N ウェル 104 に形成されて電気的に分離されている。これは、3 V で動作する MOS トランジスタ 101, 102 は、外部と直接信号を送受するので、静電気耐圧等に対する信頼性を向上させるためである。勿論、ディープウェル 96, 97, 103, 104 の周囲には、従来の半導体装置と同様に保護回路が構成されていることは言うまでもない。

【0065】上述のように、本実施の形態においては、SRAM セル 27, 67 を構成する NMOS トランジスタを、チャネル領域がゲートに接続された DTMOS で構成している。また、SRAM セル 27, 67 を用いた SRAM の書き込み回路 29, 31, 69, 70 を構成する全 MOS トランジスタ 30, 32, 33, 34, 71 ~ 74、及び、読み出し回路 37 を構成する NMOS トランジスタ 35, 36 を上記 DTMOS で構成している。したがって、オン時の $|V_{th}|$ をオフ時の $|V_{th}|$ よりも

低くでき、従来不可能であった0.5Vでの低電圧動作が可能となり、動作時の消費電力を小さくできる。これに対して、オフ時の $|V_{th}|$ は、通常のMOSトランジスタと同じである。したがって、オフ時のリーク電流を従来のSRAMセルと同等にして、スタンバイ時の消費電力の増大を防止できる。

【0066】また、上記DTMOSでなる各MOSトランジスタは、オン時の $|V_{th}|$ が低いのでオン抵抗も小さい、したがって、上記DTMOSを用いていない従来のSRAMよりも書き込み/読み出し速度を速くできる。また、書き込み/読み出し速度が従来のSRAMの程度でよいのであれば、オン抵抗が小さい分だけ上記DTMOSのゲート幅を狭くでき、上記DTMOSの面積つまりはSRAMセルやSRAMの面積を狭くできるのである。

【0067】また、図6に示すSRAMの書き込み回路69,70では、ビット線Bおよび反転ビット線BXの電位を高レベルにするトランジスタを上記DTMOS構造のNMOSトランジスタで構成している。したがって、ビット線Bおよび反転ビット線BXの書き込み時における電位を($V_{DD}-V_{thn}$)レベルにでき、図2に示すSRAMの書き込み回路69,70の場合(V_{DD})よりも低消費電力にできるのである。

【0068】また、上記SRAMセル27,67を内蔵した半導体装置におけるインターフェイス部82を構成して0.5Vで動作するMOSトランジスタ91,92のチャンネル領域は、シャローウェル93,94で構成されている。これに対して、3Vで動作するMOSトランジスタ101,102のチャンネル領域は、ディープウェル103,104で構成されている。したがって、外部と直接信号を送受する上記3Vで動作するMOSトランジスタ101,102の静電気耐圧等に対する信頼性を向上できる。

【0069】

【発明の効果】以上より明らかなように、請求項1に係る発明のSRAMは、MOSトランジスタとして、オン時にはスレッショルド電圧 $|V_{th}|$ が低下する一方、オフ時には $|V_{th}|$ が高くなる上記DTMOSを用いるので、0.5Vでの低電圧動作を可能し、スタンバイ時のリーク電流の増大を防いで、消費電力の低下を図ることができる。さらに、オン時の $|V_{th}|$ が低いのでオン抵抗を低くでき、書き込み/読み出し速度を速くできる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、オン抵抗が低い分だけ上記DTMOSのゲート幅を狭くして、本SRAMの小面積化を図ることができる。

【0070】また、請求項2に係る発明のSRAMは、上記DTMOSで構成されるNMOSトランジスタと、チャンネル領域が電源に接続されたPMOSトランジスタを含むSRAMセルを有するので、本SRAMセルの低

電圧動作、低消費電力、高速書き込み/読み出しを可能にできる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルの小面積化を図ることができる。

【0071】また、請求項3に係る発明のSRAMは、上記SRAMセルにおけるPMOSトランジスタのゲート酸化膜厚を、上記NMOSトランジスタのゲート酸化膜厚よりも厚くしたので、上記PMOSトランジスタのオン抵抗が大きくなるため電流が低くなり、NMOSトランジスタをより小さいトランジスタで構成できる。したがって、さらに、小面積、小リーク電流、低消費電力のSRAMセルを得ることができる。

【0072】また、請求項4に係る発明のSRAMは、上記SRAMセルにおける上記PMOSトランジスタのチャンネルが形成される第1半導体領域を、上記NMOSトランジスタのチャンネルが形成される第2半導体領域であるP型ウェルよりも深いN型ウェルで形成し、上記第1,第2半導体領域を電氣的に分離したので、上記PMOSトランジスタを個々に分離するための浅いウェルを必要とはしない。したがって、その分だけ上記SRAMセルの面積を小さくできる。

【0073】また、請求項5に係る発明のSRAMは、上記DTMOSで構成されたNMOSトランジスタおよびPMOSトランジスタを含む書き込み回路を備えたので、この書き込み回路の低電圧動作、低消費電力化、書き込み速度の高速化、小面積化を図ることができる。

【0074】また、請求項6に係る発明のSRAMにおける上記書き込み回路はビット線および反転ビット線の電位を高レベルにするNMOSトランジスタを含み、このNMOSトランジスタを上記DTMOSで構成したので、上記ビット線および反転ビット線の高レベル時の電位を通常のNMOSトランジスタの場合よりも低くできる。したがって、この発明によれば、更なる低消費電力化を図ることができる。

【0075】また、請求項7に係る発明のSRAMは、上記DTMOSで構成されたMOSトランジスタを含む読み出し回路を備えたので、この読み出し回路の低電圧動作、低消費電力化、読み出し速度の高速化、小面積化を図ることができる。特に、上記DTMOSで、読み出し時に上記ビット線および反転ビット線をプリチャージすることによって、上記プリチャージを短時間に行うことができる。

【0076】また、請求項8に係る発明のSRAMは、上記DTMOSで構成されるNMOSトランジスタと抵抗とを含むSRAMセルを備えたので、請求項2に係る発明の場合と同様に、本SRAMセルの低電圧動作、低消費電力、高速書き込み/読み出しを可能にできる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルを小面積にできる。

【0077】また、請求項9に係る発明の半導体装置

は、外部と直接信号の送受を行う第2 MOS トランジスタにおけるチャンネルの形成領域を、内部処理を行う第1 MOS トランジスタにおけるチャンネルが形成される第1 ウェルよりも深い第2 ウェルで構成したので、静電耐圧に優れた信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 この発明のSRAMを構成するSRAMセルの回路図である。

【図2】 図1に示すSRAMセルを単位とするSRAMセルアレイと書き込み回路および読み出し回路との接続関係を示す図である。

【図3】 図1に示すSRAMセルの部分断面図である。

【図4】 図3とは異なる部分断面図である。

【図5】 図1とは異なるSRAMセルの回路図である。

【図6】 図5に示すSRAMセルを単位とするSRAMセルアレイと書き込み回路との接続関係を示す図である。

【図7】 図1あるいは図5に示すRAMセルを用いた半導体装置のレイアウトを示す図である。

【図8】 図7におけるインターフェイス部の部分断面図である。

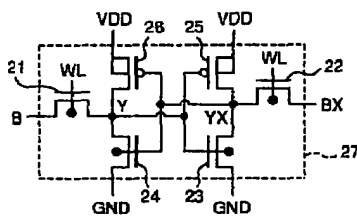
【図9】 従来のSRAMセルの回路図である。

【図10】 SRAMセルを用いたSRAMのレイアウトを示す図である。

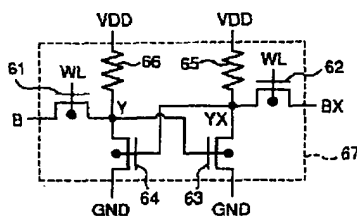
【符号の説明】

21, 61…第1 NMOS トランジスタ、22, 62…第2 NMOS トランジスタ、23, 63…第3 NMOS トランジスタ、24, 64…第4 NMOS トランジスタ、25…第1 PMOS トランジスタ、26…第2 PMOS トランジスタ、27, 67…SRAMセル、28, 68…SRAMセルアレイ、29, 31, 69, 70…書き込み回路、30, 32, 35, 36, 71~74, 91, 94, 101…NMOS トランジスタ、33, 34, 92, 102…PMOS トランジスタ、37, 39…読み出し回路、38…インバータ、41, 42, 51, 52, 93 シャロー P ウェル、43, 47, 53, 95…トレンチ、44, 54, 96, 104…ディープ N ウェル、45, 94…シャロー N ウェル、46, 97, 103…ディープ P ウェル、65, 66…抵抗、81…半導体装置、82…インターフェイス部、83…論理回路部、84…SRAM部、B…ビット線、WL…ワード線、BX…反転ビット線。

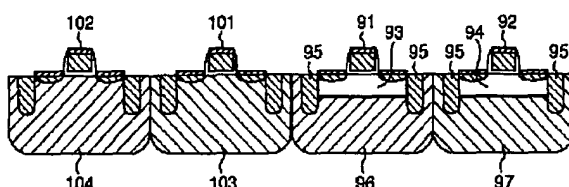
【図1】



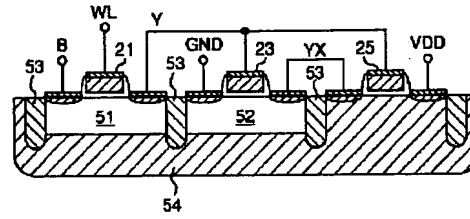
【図5】



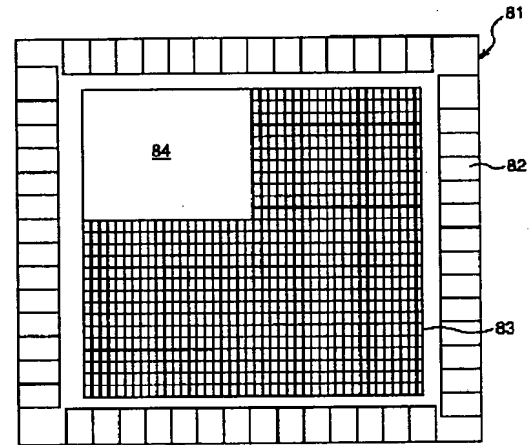
【図8】



【図 4】



【図 7】



【図 10】

